

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-21711

(43)公開日 平成5年(1993)1月29日

(51)Int.Cl.⁵

H 0 1 L 27/04

識別記号

庁内整理番号

C 8427-4M

F I

技術表示箇所

審査請求 未請求 請求項の数2(全 8 頁)

(21)出願番号 特願平3-337086

(22)出願日 平成3年(1991)12月19日

(31)優先権主張番号 6 2 9 9 2 2

(32)優先日 1990年12月19日

(33)優先権主張国 米国 (U S)

(71)出願人 590000879

テキサス インスツルメンツ インコーポ
レイテッド

アメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72)発明者 ケビン エム. オブンス

アメリカ合衆国テキサス州ガーランド, メ
イアツプル 1216

(72)発明者 ジェフレイ エイ. ニーハウス

アメリカ合衆国テキサス州ダラス, ケント
シャイアー レーン 4032

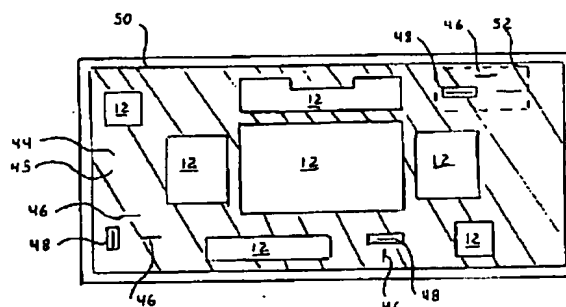
(74)代理人 弁理士 浅村 皓 (外3名)

(54)【発明の名称】 集積回路

(57)【要約】

【目的】 高速の出力電流スイッチング速度と高い信頼性を保ったままで最大の内部電圧が利用できるように入力電力ピンのインダクタンスを低減化した集積回路を得ること。

【構成】 定義されたエリアを有する半導体層 (50) 中に集積回路 (42) が作製される。半導体 (50) の前記定義されたエリアの部分のみを占有するように、半導体層 (50) 中に機能回路 (12) が作製され、これによって半導体層 (50) の占有されていないエリアが定義される。半導体層中に、前記占有されていないエリアの相当の部分中にコンデンサが作製される。



1

【特許請求の範囲】

【請求項1】 集積回路であって、
半導体層、
前記半導体層中に形成されて、前記半導体層の第1の部分のみを占有する機能回路、
前記半導体層の前記機能回路によって使用されていない第2の部分中に形成されたコンデンサ、
を含む集積回路。

【請求項2】 集積回路を製造するための方法であって、
半導体層を形成すること、
前記半導体層中に機能回路を作製することであって、機能エリアが前記半導体層の第1の部分のみを占有するように機能回路を作製すること、
前記機能回路を作製するのに使用されていない前記半導体層の第2の部分中にコンデンサを作製すること、
の工程を含む方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は一般的には電子回路に関するものであり、更に詳細には集積回路とそれらを用いる方法とに関するものである。

【0002】

【従来の技術】集積回路や集積回路を用いたシステムの特性に影響する共通的な問題の1つは電力入力ピンのインダクタンスである。システムレベルでは、入力ピンインダクタンスの問題は、集積回路パッケージの電力ピンとアースピンに隣接したプリント回路板上の電力とアースの両トレース (trace) 間にバイパスコンデンサを付加することで軽減される。これによってプリント (PC) 板インダクタンスは打ち消すことができるが、パッケージ電力ピンインダクタンスと、集積回路への電力入力ピンと結合するボンディングワイヤのインダクタンスとに起因する集積回路パッケージインダクタンスは残る。これらのパッケージインダクタンスは、パッケージの型、電力入力に使用されるピンの型と数、およびそれに付随するボンディングワイヤの間隔と数に依存して、3 nHから20 nH以上の範囲の値を取る。

【0003】集積回路の出力がスイッチする時に、1ないし2ナノ秒間継続する、1アンペアあるいはそれ以上の内部的スパイクが発生することがある。これらのスパイクの結果、入力電流には0.5から1.5アンペア/nsの間の変化が生ずる。この入力電流の変化は、電力入力ピンと付随するボンディングワイヤのインダクタンス両端間にそれらのインダクタンスの大きさの関数としてかなり大きい電圧降下をもたらす。これは V_L をインダクタ両端の電圧、 L をインダクタンス、 di/dt をインダクタを流れる電流の時間変化とすると、インダクタ両端間の電圧が $V_L = L di/dt$ の式に従って変化するためである。例として、8 nHのインダクタ

2

ンスを持つ入力電力ピンを含む28ピンのパッケージが0.5アンペア/nsの速度でスイッチすると、電力入力ピン両端に4ボルトの電圧が発生する。そのような電圧降下は公称5ボルトの電源電圧で動作している集積回路に対しては実用上許容されない。

【0004】電力入力インダクタンス両端の電圧降下を低減化する1つの方法は、出力が付随の出力負荷をスイッチングする速度を下げることである。上述の例では、もし出力のスイッチング速度を下げて、例えば、0.125アンペア/nsとすれば、電力入力インダクタンス両端の電圧降下は1ボルトへ減少する。この方法の重大な欠点は出力スイッチング速度を低下させるわけであるから、集積回路の特性が劣化することになるということであり、そのため多くの応用においてこの方法は受け入れ難い。しかもまだ、電圧降下が残存しており、それが機能回路に利用できる電圧を減少させるということもある。

【0005】入力電力ピン上のインダクタンスの問題を解決する手助けとなる第2の方法は、マウントおよびボンディング工程において集積回路パッケージ中に、電力からアースへのバイパスコンデンサを付加することである。これらの個別的なコンデンサは一般に“チップ”コンデンサとして知られており、それは等価的に電力ピンとアースピンをつなぎ、それによって電力入力ピンとアースピンによって作り出される両方のインダクタンスを通してスイッチング電流を流し、それによって電力入力ピンでの損失を打ち消すように作用する。しかし、この方法にも数多くの欠点が存在する。付加コンデンサをマウントし、ボンディングするための付加的な工程のために組み立てコストが増大する。通常、付加されたコンデンサは集積回路本体よりも信頼性に劣るので、集積回路パッケージ全体の信頼性が大きく低下する。更に、高度に競争の激しい市場での使用に適した低価格のコンデンサは必要な周波数応答を持たず、しかもそれ自身の2 nHまたはそれ以上の直列インダクタンスを付加することになる。バイパスコンデンサのこの直列インダクタンスがコンデンサを付随するピンへつなぐために必要なボンディングワイヤのインダクタンスに加えられた場合には、この解決策メリットは小さくなる。最後に、ピン、ボンディングワイヤ、コンデンサそれ自体からの内部抵抗が十分大きくなって、付加されたコンデンサの働きを逆効果なものとしてしまう可能性がある。

【0006】このように、高速の出力電流スイッチング速度と高い信頼性とを保持したまま最大内部電圧が利用できるように入力電力ピンのインダクタンスを低減する方法と装置とに関する需要が発生している。

【0007】

【発明の概要】本発明に従えば半導体層上に集積回路が得られる。この半導体層上に、半導体層の第1の部分上を占有するように機能回路が形成される。この半導体層上

10

20

30

40

50

3

の前記機能回路によって占有されていない第2の部分にコンデンサが形成される。

【0008】本発明の別の面に従えば、このコンデンサは、相当の固有容量を有するダイオードを含むバイパスコンデンサである。このダイオードは、集積回路の相対的に正の電圧供給端子につながるカソードと、集積回路の相対的に負の電圧供給端子につながるアノードとを含む。

【0009】本発明は等価的な電力入力インダクタンスの低減化に関して、従来の装置と方法とに比べ非常に優れた利点を提供する。コンデンサは集積回路が形成されている半導体層上の占有されていないエリアに分布しているので、電力ピンおよび付随するボンディングワイヤのインダクタンスの効果は0.1ないし0.2nHという小さい値にまで低減化できる。電力入力容量が低減化されたことで、回路内部および出力において、より高速のスイッチング速度が許容される。更に、分布コンデンサに対して非常に多数のコンタクトを用いることによって、このバイパスコンデンサの抵抗値を本質的に低減化することができる。更に、このバイパスコンデンサは集積回路の機能回路の作製と同時に形成できるので、コストを本質的に増大させることなく、製造プロセス効率を高く保つことができる。最後に、バイパスコンデンサの信頼性は機能回路を作り上げている半導体デバイスのそれと本質的に同じであり、従って、より信頼性に劣る個別コンデンサを用いた従来技術の集積回路に比べて明瞭な特長を提供している。

【0010】本発明のその他の面およびそれらの特長は以下の図面を参照した詳細な説明から明らかとなるであろう。図面において、同様な部品には同じ符号が与えら

【0011】

【実施例】最初に図1Aと図1Bを参照すると、それらは従来技術のパッケージ化集積回路10のそれぞれ、機械的、電気的模式図であって、パッケージ18の中にマウントされた集積回路12と付随するバイパスコンデンサ14とを含んでいる。集積回路12は望みの機能回路を含み、それはプログラム可能なアレイ論理回路のようなデジタル回路であっても、または演算増幅器のような線形回路であってもよい。コンデンサ14は従来技術で既知のチップコンデンサのような個別コンデンサである。コンデンサ14と集積回路12はこれも従来技術で既知のように、マウント面16上にマウントされる。

【0012】パッケージ化された集積回路10は、相対的に正の電圧源へつながれた電力(V_{cc})ラインまたはトレースと、相対的に負の電圧または電源アースへつながれたラインまたはトレース24とを含むプリント回路板20上に搭載されているように描かれている。コンデンサ14の第1の電極板26と、集積回路12の V_{cc} 入力パッド28が、 V_{cc} ピン30とボンディングワイヤ3

4

2、34を通して V_{cc} トレース22へつながれている。

【0013】図1Bの電気的模式図中では、ピン30とボンディングワイヤ32、34はそれらのインダクタンスで以て表されている。コンデンサ14の第2の電極板36は従来技術で既知のように、マウント面16およびボンディングワイヤ38を通してアースまたは相対的に負の電圧へつながれている。集積回路12のパッド37もまたボンディング38を通してアースまたは相対的に負の電源へつながれており、このボンディングワイヤ38も図1Bの電気的模式図ではそのインダクタンスで以て表されている。

【0014】上述のように、従来技術のパッケージ化集積回路10は、固有の信頼性とパッケージの問題を抱えた個別コンデンサ14を採用しており、更に付加的な誘電性のボンディングワイヤを必要とするという重大な欠点を持っている。

【0015】次に図2Aと図2Bを参照すると、本発明に従うパッケージ化された集積回路40のそれぞれ機械的、電気的模式図が示されている。図1Aと図1Bに示されたデバイスと対比させるために、同様な部品には同じ符号が与えられている。本発明では、個別コンデンサ14が廃止されて、代わりに必要な容量は集積回路42と一緒に集積された分布型の容量として供給されている。図2Bの電気的模式図に示された機能回路12は、図1Aと図1Bの従来技術デバイスの集積回路12が含まれているものと本質的に同じである。しかし、バイパスコンデンサ44はここでは、機能回路12と同じ半導体層上に形成されている。後に述べるように、バイパスコンデンサ44は機能回路12の作製に必要な集積回路42のエリア上に分布しており、数多くの相対的に正の電圧供給端子46と相対的に負の電圧供給端子48とを含んでいる。これらのうちの1対が例として図2Bに示されている。

【0016】次に図3を参照すると、本発明に従って半導体層50上に形成された集積回路42全体の平面図が示されている。機能回路が基板50のエリア12内に取り付けられている。実際の組み込みでは、これらのエリア12は回路の実際の配置に依存してもっとずっと複雑な形状をしており、従って、図3では分かり易いように大幅に簡素化して描かれている。更に、相互接続配線、ボンディングワイヤ、パッド等の回路は分かり易いように省略されている。

【0017】コンデンサ44は、45で斜線を施したエリアによって示されたように、半導体層50の表面上に亘って分布している。ここでも、実際の組み込み時には、分布型のコンデンサ44は、機能回路12の配置を後に定義するのに利用されるエリアに依存して、ずっと複雑な形状を取るはずである。例として、複数のコンタクト46と48が示されている。実際の組み込みでは、コンタクト46と48はそれぞれが百個またはそれ

10

20

30

40

50

5

以上存在するであろう。コンデンサ44に付随する抵抗は、これらのコンタクトを非常に多数設けることによって低減化することができる。

【0018】図4と図5は、図3に点線で示したコンデンサ44の一部を含むエリア52のそれぞれ平面図と正面図を示している。コンデンサ44は本質的に、機能回路12中に必要なトランジスタやダイオードの作製と同時に形成される容量性ダイオードである。好適実施例では半導体層50はp形材料の層である。このダイオードのカソードを形成するために、半導体50中に、高濃度10にドープされたn形材料(n^{++}) (典型的には $1-5 \times 10^{20} \text{ cm}^{-3}$ の範囲)の層54が形成される。このダイオードの抵抗を制御する傾斜した接合を提供するために、層54中に、層54のドーパント濃度よりも低いドーパント濃度のn形材料(n^{-}) (典型的には $5 \times 10^{18} - 1 \times 10^{19} \text{ cm}^{-3}$ の範囲)の第2の層56が形成される。層56の厚さは容量を調節するように選ばれる。典型的には、層56の厚さは、コンデンサ44を作製するための典型的な未使用空間を有する28ピンデバイスの5vに対して300-500pFの容量を与えるためには、2000オングストロームのオーダーである。このダイオードのアノードを形成するために、n形層56中に、高濃度にドープされたp形材料(p^{+}) (典型的には $1 \times 10^{19} \text{ cm}^{-3}$ の範囲)の層58が形成される。次にアノード58へのコンタクトを形成する金属コンタクト48と、カソード領域54へコンタクトを形成する金属コンタクト46とが作成される。好適実施例では、カソード層54とのコンタクト抵抗を制御するために、n+ドープ領域60がコンタクト46に隣接して設けられる。

【0019】一体化したデバイスよりも大きな容量を提供するように、機能回路12のために利用されていない半導体層50の特定の広さのエリア上に亘ってコンデンサ44を作製することができる。更に、コンデンサ44は固有の容量を持つ半導体ダイオードであるので、機能回路12中に必要なトランジスタやダイオードと同時に作製することができる。例えば、エリア54は、機能回路12中に必要とされるトランジスタのコレクタ領域生成と同時に形成される。領域58は、同じトランジスタのベース領域の生成と同時に作製される。機能デバイスの作製に必要でない半導体層50のエリアを本質的にすべて利用することによって、バイパスコンデンサ44の容量は典型的に300ないし500pFとすることができ、従って入力電力ピンと付随するボンディングワイヤのインダクタンスを大幅に減少させることができる。非常に多数のコンタクト46、48を用いることによって、コンデンサ44の抵抗を本質的に低下させることができ、それによって特性を改善することができる。

【0020】本発明では、機能デバイス12との同時作製が可能であることから、パッケージ全体のアセンブリ

10

20

30

40

50

6

コストが増大しない。同時に、信頼性も集積回路を構成している残りのデバイスと同じのままである。更に、コンデンサが分布しているので、電力ピンと付随するボンディングワイヤのインダクタンスが0.1ないし0.2nHにまで低減化され、スイッチング速度が大幅に向上する。最後に、分布型コンデンサは、非常に多数のコンタクトを用いた場合特に、その抵抗を無視し得る。

【0021】本発明の好適実施例とそれらの特長について以上のように詳細に述べてきたが、本発明はそれらに限定されるものではなく、特許請求の範囲によってのみ限定される。

【0022】以上の説明に関して更に以下の項を開示する。

(1) 集積回路であって、半導体層、前記半導体層中に形成されて、前記半導体層の第1の部分のみを占有する機能回路、前記半導体層の前記機能回路によって使用されていない第2の部分中に形成されたコンデンサ、を含む集積回路。

【0023】(2) 第1項記載の集積回路であって、前記コンデンサが、前記集積回路の相対的に正の電圧を供給する端子と前記集積回路の相対的に負の電圧を供給する端子との間につながれたバイパスコンデンサを含んでいる集積回路。

【0024】(3) 第2項記載の集積回路であって、前記バイパスコンデンサが、前記電力入力端子へつながれた複数のコンタクトと前記アース端子へつながれた複数のコンタクトとを含んでいる集積回路。

【0025】(4) 第1項記載の集積回路であって、前記コンデンサが、相当の固有容量を有するダイオードを含んでいる集積回路。

【0026】(5) 第4項記載の集積回路であって、前記ダイオードが、前記集積回路の相対的に負の電圧へつながれたアノードと相対的に正の電圧へつながれたカソードとを含んでいる集積回路。

【0027】(6) 集積回路であって、定義されたエリアを有する第1の伝導形の半導体層、前記半導体層中に形成されて、前記定義されたエリアの部分のみを占有し、従って前記半導体層の占有されていないエリアを定義する機能回路、ダイオードを含むバイパスコンデンサであって、前記ダイオードが、それらの間に相当の固有容量を有するカソードとアノードとを持つように、前記基板の前記占有されていないエリアの相当の部分中に形成されている、バイパスコンデンサ、少なくとも1つの、相対的に正の電圧供給源、少なくとも1つの、相対的に負の電圧供給源、前記ダイオードの前記アノードを前記相対的に負の電圧供給源端子へつなぐ、少なくとも1つのアノードコンタクト、前記ダイオードの前記カソードを前記相対的に正の電圧供給源端子へつなぐ、少なくとも1つのカソードコンタクト、を含む集積回路。

【0028】(7) 第6項記載の集積回路であって、前

7

記ダイオードが、前記層中に形成されて、前記第1の伝導形とは逆の第2の伝導形にドーブされた材料の第1の層、前記第1の層中に形成されて、前記第2の伝導形にドーブされた材料の第2の層であって、前記ドーブされた材料の第2の層のドーバント濃度が前記ドーブされた材料の第1の層のドーバント濃度とは本質的に異なる、ドーブされた材料の第2の層、前記第2の層中に形成されて、前記第1の伝導形にドーブされた材料の第3の層、を含んでいる集積回路。

【0029】(8)第7項記載の集積回路であって、前記第1および第2の層がn形材料の層を含み、前記第3の層がp形材料の層を含み、従って前記第1の層が前記カソードを含み、従って前記第3の層がアノードを含んでいる集積回路。

【0030】(9)第8項記載の集積回路であって、前記ドーブされた材料の第2の層のドーバント濃度が前記ドーブされた材料の第1の層のドーバント濃度よりも本質的に低い集積回路。

【0031】(10)第8項記載の集積回路であって、前記アノードコンタクトが前記ドーブされた材料の第3の層に隣接する金属コンタクトを含み、前記カソードコンタクトが前記ドーブされた材料の第1の層に隣接する金属コンタクトを含んでいる集積回路。

【0032】(11)集積化されたバイパスコンデンサを有する集積回路であって、第1の伝導形の半導体層であって、定義されたエリアを有する半導体層、前記基板中に作製されて、前記半導体層の前記定義されたエリアの部分のみを占有し、従って前記半導体の占有されていないエリアを定義する、機能回路、前記占有されていないエリアの相当の部分中に形成されて、相当の容量を有するダイオードを含むバイパスコンデンサであって、前記ダイオードが、前記基板中に形成されて、前記第1の伝導形とは逆の第2の伝導形に高濃度にドーブされた材料の層のカソード、前記カソード中に形成されて、前記第2の伝導形にドーブされた材料の中間層であって、前記中間層のドーバント濃度が前記カソードのドーバント濃度よりも本質的に低くなっている中間層、前記中間層中に形成されて、前記第1の伝導形にドーブされた材料の層のアノード、を含んでいるバイパスコンデンサ、前記カソードへつながれた複数の金属コンタクト、前記アノードへつながれた複数の金属コンタクト、前記カソードへつながれた前記複数の金属コンタクトへつながれた少なくとも1つの、相対的に正の電圧を供給する端子、前記アノードへつながれた前記複数の金属コンタクトへつながれた少なくとも1つの、相対的に負の電圧を供給する端子、を含む集積回路。

【0033】(12)集積回路を製造するための方法であって、半導体層を形成すること、前記半導体層中に機能回路を作製することであって、機能エリアが前記半導体層の第1の部分のみを占有するように機能回路を作製

8

すること、前記機能回路を作製するのに使用されていない前記半導体層の第2の部分中にコンデンサを作製すること、の工程を含む方法。

【0034】(13)第12項記載の方法であって、前記コンデンサを作製する工程が、前記半導体層の前記占有されていないエリア中に、アノードとカソードとを有するダイオードを作製する工程を含んでいる方法。

【0035】(14)第13項記載の方法であって、更に、前記ダイオードのアノードを、前記集積回路の相対的に負の電圧供給端子へつなぐこと、前記ダイオードのカソードを、前記集積回路の相対的に正の電圧供給端子へつなぐこと、の工程を含む方法。

【0036】(15)集積化されたバイパスコンデンサを有する集積回路を製造する方法であって、定義されたエリアを有するように、第1の伝導形の半導体層を形成すること、前記半導体層中に、前記定義されたエリアの部分のみを占有し、従って前記半導体層の占有されないエリアを定義するように、機能回路を作製すること、前記第1の伝導形とは逆の第2の伝導形に高濃度にドーブされた材料の層のダイオードカソードを前記半導体層中に形成すること、前記第2の伝導形にドーブされた材料の層の中間層を前記カソード中に形成することであって、前記中間層のドーバント濃度が前記カソードのドーバント濃度よりも本質的に低くなるように、中間層を形成すること、前記第1の伝導形に高濃度にドーブされた材料の層のアノードを前記中間層中に形成すること、前記カソードへの複数の金属コンタクトを形成すること、前記アノードへの複数の金属コンタクトを形成すること、前記カソードへの複数の金属コンタクトを少なくとも1つの電力入力端子へつなぐこと、前記アノードへの複数の金属コンタクトを前記集積回路の少なくとも1つのアース端子へつなぐこと、の工程を含む方法。

【0037】(16)定義されたエリアを有する半導体層50中に集積回路42が作製される。半導体層50の前記定義されたエリアの部分のみを占有するように、半導体層50中に機能回路12が作製され、これによって半導体層50の占有されていないエリアが定義される。半導体層中に、前記占有されていないエリアの相当の部分中にコンデンサが作製される。

【図面の簡単な説明】

【図1】個別バイパスコンデンサを用いた従来技術のパッケージ化集積回路のそれぞれ、機械的、電気的模式図。

【図2】本発明に従う分布型バイパスコンデンサを用いたパッケージ化集積回路のそれぞれ、機械的、電気的模式図。

【図3】本発明に従う集積回路の典型的なデバイス配置を示す平面図。

【図4】図3に示された集積回路の一部の拡大平面図。

50

9

10

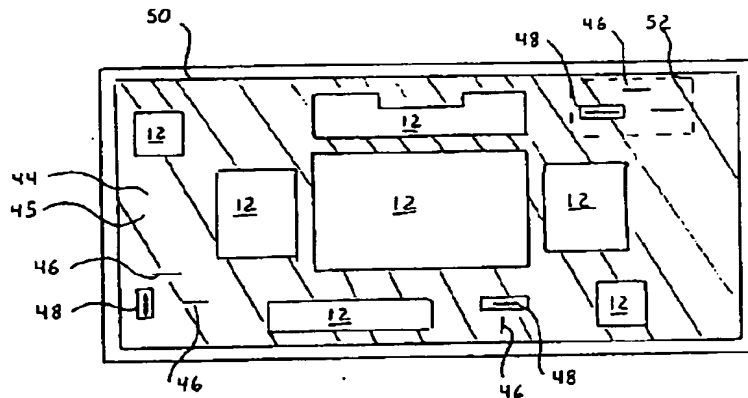
【図 5】本質的に図 4 のライン 5-5 に沿って取られた正面断面図。

【符号の説明】

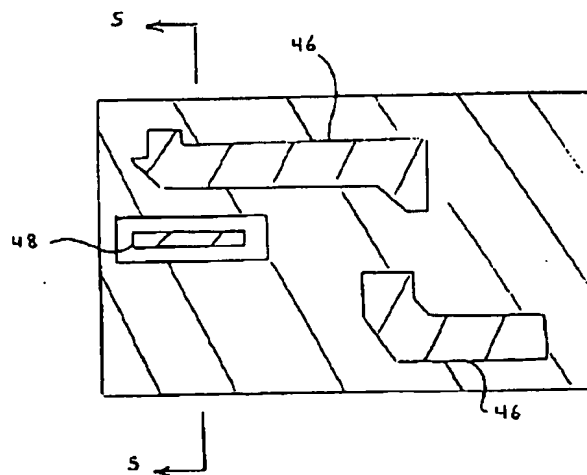
10 従来技術のパッケージ化された集積回路
 12 集積回路
 14 バイパスコンデンサ
 16 マウント面
 18 パッケージ
 20 プリント回路板
 22 電力ライン
 24 アースライン
 26 第 1 電極
 28 V_{cc} 入力パッド
 30 V_{cc} ピン

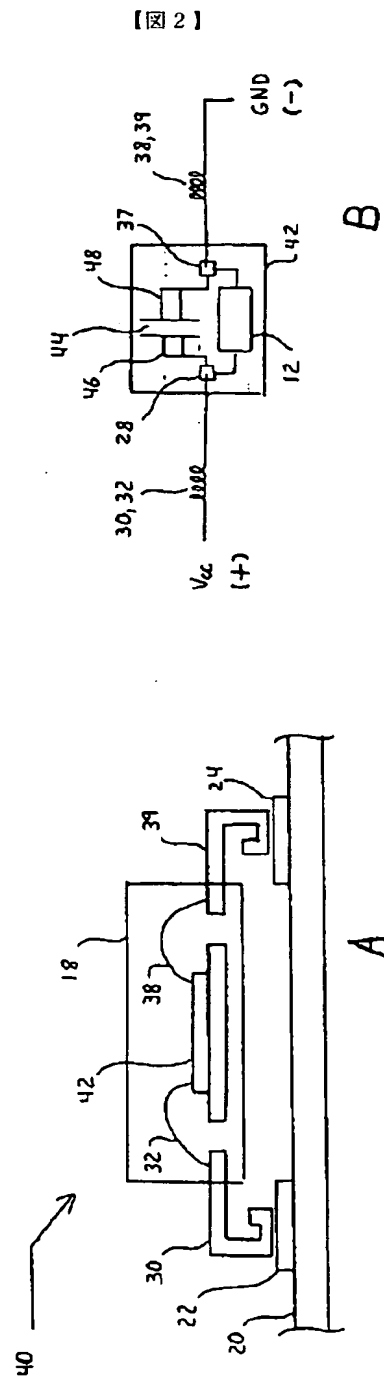
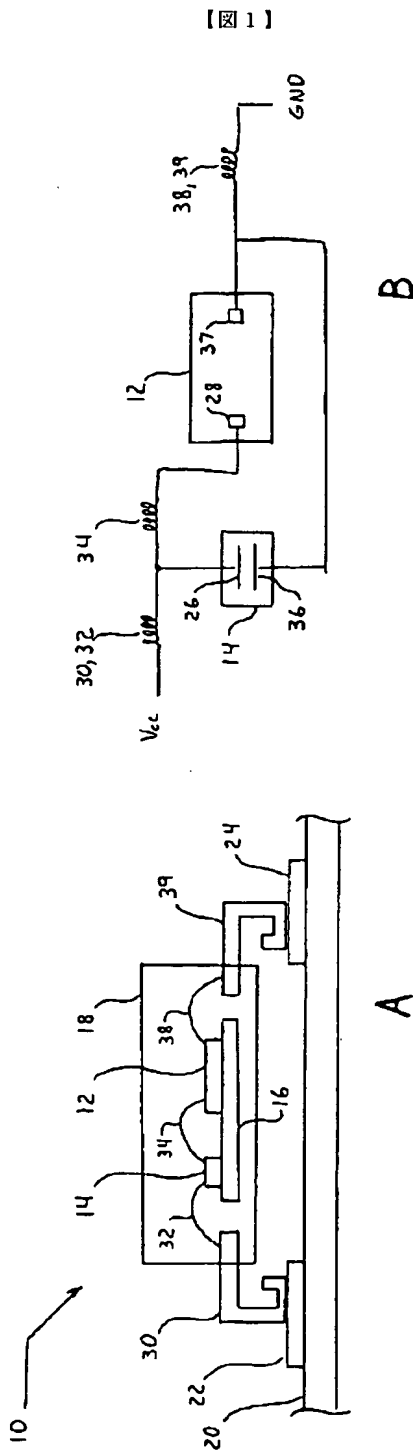
* 32, 34 ボンディングワイヤ
 36 第 2 電極
 38 ボンディングワイヤ
 40 本発明のパッケージ化された集積回路
 42 集積回路
 44 バイパスコンデンサ
 46 電源電圧端子
 48 アース端子
 50 半導体層
 10 52 エリア
 54 高濃度ドーブ n 形層
 56 n 形層
 58 高濃度ドーブ p 形層
 * 60 高濃度ドーブ n 形層

【図 3】



【図 4】





【図 5】

